

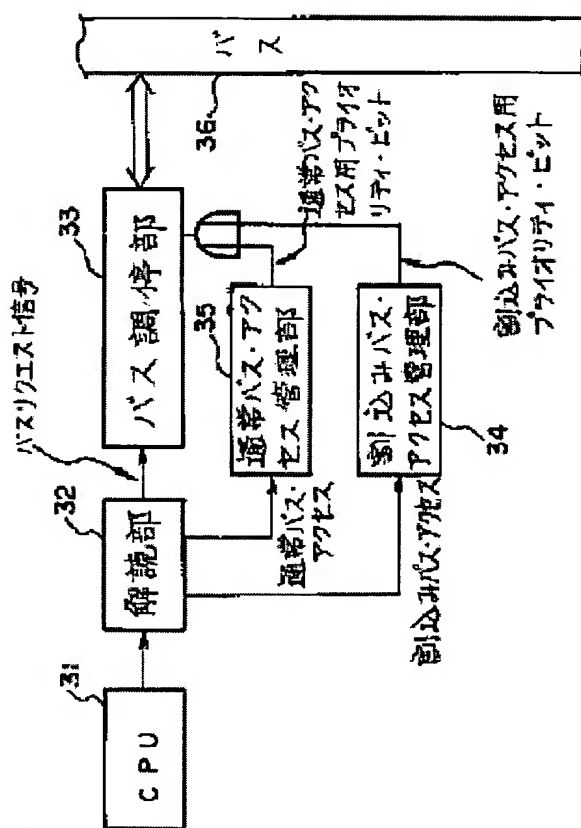
BUS ARBITRATION CIRCUIT

Patent number: JP6301643
Publication date: 1994-10-28
Inventor: SAITO HIROYUKI
Applicant: FUJITSU LTD
Classification:
 - international: G06F13/362; G06F9/46; G06F13/38; G06F15/16
 - european:
Application number: JP19930112119 19930415
Priority number(s):

Abstract of JP6301643

PURPOSE: To prevent load from being deviated by uniformly distributing interruption processing in a system having parallel processing type constitution with respect to an interruption complete distribution type bus arbitration circuit in a parallel processing type multiprocessor system.

CONSTITUTION: This bus arbitration circuit for arbitrating the competition of bus accesses between respective processors is provided with a decoding part 32 for decoding a control signal or the like outputted from a CPU 31 and generating a bus request signal for requesting bus acquisition and a bus access judging signal for judging a normal bus access or an interruption bus access, a bus arbitrating part 33 for executing bus arbitration for bus acquisition to a bus 36 at the time of receiving the bus request signal, an interruption bus access managing part 34 for setting up/resetting an interruption bus access priority bit based upon bus access judging signal, and a normal bus/access managing part 35 for setting up/resetting a normal bus access priority bit.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-301643

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/362	5 1 0 A	9072-5B		
9/46	3 6 0 A	8120-5B		
13/38	3 4 0 D	8944-5B		
15/16	3 6 0 R	7429-5L		

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21)出願番号 特願平5-112119

(22)出願日 平成5年(1993)4月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 齋藤 宏行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 小林 隆夫

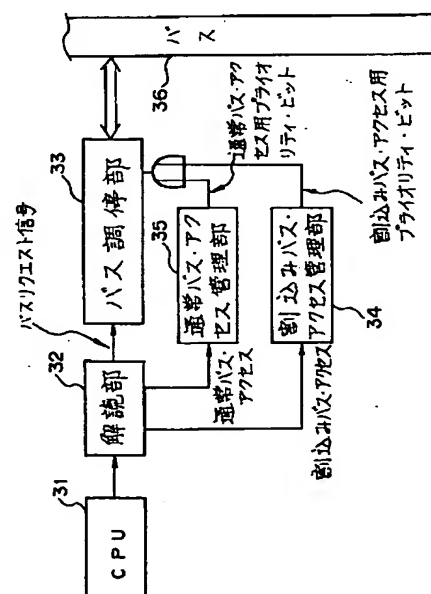
(54)【発明の名称】 バス調停回路

(57)【要約】 (修正有)

【目的】 並列処理形マルチプロセッサシステムにおける割込み完全分散形のバス調停回路に関するものであり、並列処理形構成のシステムにおいて、割込み処理を均等的に分散できるようにして負荷に偏りが生じないようにすることを目的とする。

【構成】 バス・アクセスの競合を調停するために各プロセッサのバス調停回路であって、CPU 31からの制御信号等を解読してバス獲得を依頼するバス・リクエスト信号と、通常バス・アクセスか割込みバス・アクセスかを判別するバス・アクセス判別信号とを生成する解読部32と、バス・リクエスト信号を受信するとバス36に対してバス獲得のためのバス調停を実行するバス調停部33と、バス・アクセス判別信号に基づいて、割込みバス・アクセス用プライオリティ・ビットをセット/リセットする割込みバス・アクセス管理部34と、通常バスアクセス用プライオリティ・ビットをセット/リセットする通常バス・アクセス管理部35とを備える。

本発明に係る原理説明図



1

【特許請求の範囲】

【請求項1】 並列処理形マルチプロセッサ・システムにおいてバス・アクセスの競合を調停するために各プロセッサに備えられたバス調停回路であって、CPU(31)からの制御信号等を解読してその解読結果に基づいてバス獲得を依頼するバス・リクエスト信号とバス・アクセスが通常バス・アクセスか割り込みバス・アクセスかを判別するバス・アクセス判別信号とを生成する解読部(32)と、

該バス・リクエスト信号を受信するとバス(36)に対してバス獲得のためのバス調停をプライオリティ・ビットを適宜行使しつつ実行するバス調停部(33)と、該バス・アクセス判別信号に基づいて割り込みバス・アクセスに関して割り込みバス・アクセス用プライオリティ・ビットをセット/リセットする割り込みバス・アクセス管理部(34)と、該バス・アクセス判別信号に基づいて通常バス・アクセスに関して通常バスアクセス用プライオリティ・ビットをセット/リセットする通常バス・アクセス管理部(35)とを備えたバス調停回路。

【請求項2】 該割り込みバス・アクセス管理部は、割り込みバス・アクセスによるバス獲得が失敗したときに割り込みバス・アクセス用プライオリティ・ビットをセットし、成功したときにリセットするよう構成され、該通常バス・アクセス管理部は、通常バス・アクセスによるバス獲得が失敗したときに通常バス・アクセス用プライオリティ・ビットをセットし、成功したときにリセットするよう構成された請求項1記載のバス調停回路。

【請求項3】 該割り込みバス・アクセス管理部は、割り込みバス・アクセスに対して該バスからACK信号を受信したことを条件にして該割り込みバス・アクセス用プライオリティ・ビットをリセットするよう構成された請求項1または2記載のバス調停回路。

【請求項4】 CPUからの制御信号等に基づいて割り込みバス・アクセスの割り込み応答レベルを解読する割り込みレベルデコーダと、

該割り込みレベルデコーダからの割り込み応答レベルとバス上の割り込み信号の割り込み応答レベルとを比較する比較部とを備え、

該割り込みバス・アクセス管理部は該比較部の比較結果が一致したことを条件にして該割り込みバス・アクセス用プライオリティ・ビットをリセットするよう構成された請求項1または2記載のバス調停回路。

【請求項5】 並列処理形マルチプロセッサ・システムにおいてバス・アクセスの競合を調停するバス調停方法であって、

バス獲得のための機会を均等化するためのプライオリティ・ビットの管理を、スレーブポートからの割り込み要求に対する割り込みバス・アクセスに際して行使する割り込みプライオリティ・ビットと、通常のバス・アクセスに際

2

して行使する通常プライオリティ・ビットとに分けて別々に行うことを特徴とするバス調停方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は並列処理形マルチプロセッサ構成のシステムにおいてスレーブのI/Oボード等から上がって来る割り込み要求を各プロセッサに均等的に分散させて処理する割り込み完全分散形のバス調停回路に関するものである。

【0002】並列処理形マルチプロセッサ構成をとる装置として例えば無線通信用の各種制御装置があるが、これらの制御装置では、スレーブのI/Oボード等から上がって来る割り込み要求を各プロセッサに均等的に分散させて処理することにより、各プロセッサに加わる負荷を均等的に分散できることが望ましい。

【0003】プロセッサが割り込み要求に回答してその割り込み処理を起動するためには、共通バス上のスレーブのI/Oボード等から割り込みベクターを獲得する必要がある。したがって、上述のように各プロセッサの負荷の均等分散を実現するためには、マルチプロセッサ構成システムの各プロセッサが共通バス上のI/Oボード等から割り込みベクターを均等に獲得できることが必要とされる。

【0004】

【従来の技術】図6には並列処理形マルチプロセッサ・システムの構成例が示される。図示するように、共通バス20に複数のプロセッサとスレーブのメモリやI/Oボード等が接続された構成となっている。

【0005】このシステムでは、例えばI/Oボードから割り込み要求が発生すると、この割り込み要求は共通バス20を介して各プロセッサに伝えられる。この割り込み要求を処理するプロセッサは一つであるが、そのプロセッサが割り込み要求に回答して割り込み処理を起動するためには、共通バス20を介して当該I/Oボードから割り込みベクターを獲得しなければならないので、共通バスの使用権を獲得する必要がある。しかし複数のプロセッサが同時に共通バス20を使用することはできないので、他のプロセッサと競合しないように共通バス使用のための調停を行う必要があり、各プロセッサはバス調停回路を備えている。

【0006】図7にはこのバス調停回路の動作フローが示される。各プロセッサは、割り込み要求等に基づいて共通バス使用要求が発生すると、共通バスが使用終了で開放されるのを待って、自パネルID(識別番号)とAC(acquisition)信号を共通バスに送出し、他のプロセッサと競合しないようにバス使用の調停を行う。

【0007】ここで、各プロセッサから共通バスへの自パネルIDの送出は負論理のワイヤードOR回路を介してなされる。よって、共通バスに載せられるIDは、複数のプロセッサが同時に共通バスに自パネルIDを送出

3

している場合でも、それらのプロセッサのうち最も値が大きいIDを送出しているプロセッサのIDとなる。すなわち、各プロセッサのIDは値の大きいものが優先されて共通バスに載せられる。

【0008】したがって、共通バス上のIDが自パネルIDと一致した場合には、そのプロセッサはID値が最も大きくバス獲得の権利が最優先にあるものであるから、共通バスが獲得できたものとして共通バスの使用を開始する。

【0009】一方、不一致の場合には、共通バス上のIDが自パネルIDよりも大きければ他のプロセッサにバス獲得の権利があるものであるから、現時点でのバス獲得は断念して、次の調停時にバス獲得を可能にするためにプライオリティ・ビットをセットしてウェイトし、共通バスの使用終了を持って再びバス調停を行う。

【0010】ここで、このプライオリティ・ビットは自パネルIDの最上位ビットの一桁上にセットされるようになっており、したがってプライオリティ・ビットがセットされたIDは、それがセットされていないIDよりも値が大きくなってバス獲得の優先権が高くなるものである。

【0011】また、不一致の場合において共通バス上のIDよりも自パネルIDの方が大きければ、現時点において共通バスを他のプロセッサが使用中であると考えられるから、そのままウェイトし、共通バスの使用終了を待って再びバス調停を行う。

【0012】

【発明が解決しようとする課題】以上ではI/O等からの割込み要求に対して割込みベクターを獲得するために共通バスにアクセスする場合について述べたが、共通バスへのアクセスはこの割込みに起因するものの他に、通常時におけるメモリ間とのアクセスなどのための通常の共通バス・アクセスの場合もある。上述した従来技術では、この通常の共通バス・アクセスの場合も割込みに起因する共通バス・アクセスの場合も区別なく同じプライオリティ・ビットを使用して、共通バスの使用が各プロセッサに均等的に割り振られるようにしている。

【0013】したがって、あるプロセッサが割込みベクターを獲得するために共通バス調停を行い、バスが獲得できずにプライオリティ・ビットをセットしたが、この割込みの共通バス・アクセスに続いて通常の共通バス・アクセスが発生したような場合に、そのプロセッサがその通常の共通バス・アクセスで共通バスを獲得してしまうと、割込みの共通バス・アクセス用にセットしたプライオリティ・ビットがリセットされてしまう。このため次回以降において割込みベクター獲得のために共通バス・アクセスが生じても、プライオリティ・ビットがセットされていないため、共通バスを獲得できる可能性が小さくなってしまふ。

【0014】この結果、ソフトウェアの走行状態等によ

4

っては、割込みベクターの獲得の可能性に偏りが生じて、各プロセッサへの割込み処理の均等的な分散が保証されなくなり、プロセッサに加わる負荷が個々のプロセッサによって偏ってしまう。

【0015】本発明は上述の問題点に鑑みてなされたものであり、その目的とするところは、並列処理形マルチプロセッサ構成のシステムにおいて、割込み処理を各プロセッサに均等的に分散できるようにして個々のプロセッサによって加わる負荷に偏りが生じないようにすることにある。

【0016】

【課題を解決するための手段】図1は本発明に係る原理説明図である。上述の課題を解決するために、本発明においては、並列処理形マルチプロセッサ・システムにおいてバス・アクセスの競合を調停するために各プロセッサに備えられたバス調停回路であって、CPU31からの制御信号等を解読してその解読結果に基づいてバス獲得を依頼するバス・リクエスト信号とバス・アクセスが通常バス・アクセスか割込みバス・アクセスかを判別するバス・アクセス判別信号とを生成する解読部32と、バス・リクエスト信号を受信するとバス36に対してバス獲得のためのバス調停をプライオリティ・ビットを適宜行使しつつ実行するバス調停部33と、バス・アクセス判別信号に基づいて割込みバス・アクセスに関して割込みバス・アクセス用プライオリティ・ビットをセット／リセットする割込みバス・アクセス管理部34と、バス・アクセス判別信号に基づいて通常バス・アクセスに関して通常バスアクセス用プライオリティ・ビットをセット／リセットする通常バス・アクセス管理部35とを備えたバス調停回路が提供される。

【0017】上述のバス調停回路において、割込みバス・アクセス管理部34は、割込みバス・アクセスによるバス獲得が失敗したときに割込みバス・アクセス用プライオリティ・ビットをセットし、成功したときにリセットするよう構成し、通常バス・アクセス管理部35は、通常バス・アクセスによるバス獲得が失敗したときに通常バス・アクセス用プライオリティ・ビットをセットし、成功したときにリセットするよう構成することができる。

【0018】また上述のバス調停回路において、割込みバス・アクセス管理部34は、割込みバス・アクセスに対してバス36からACK信号を受信したことを条件にして割込みバス・アクセス用プライオリティ・ビットをリセットするように構成することができる。

【0019】また上述のバス調停回路において、CPU31からの制御信号等に基づいて割込みバス・アクセスの割込み応答レベルを解読する割込みレベルデコーダと、割込みレベルデコーダからの割込み応答レベルとバス上の割込み信号の割込み応答レベルとを比較する比較部とを備え、割込みバス・アクセス管理部34は比較部

5

の比較結果が一致したことを条件にして割込みバス・アクセス用プライオリティ・ビットをリセットするように構成することができる。

【0020】また本発明においては、並列処理形マルチプロセッサ・システムにおいてバス・アクセスの競合を調停するバス調停方法であって、バス獲得のための機会を均等化するためのプライオリティ・ビットの管理を、スレーブポートからの割込み要求に対する割込みバス・アクセスに際して行使する割込みプライオリティ・ビットと、通常のバス・アクセスに際して行使する通常プライオリティ・ビットとに分けて別々に行うことを特徴とするバス調停方法が提供される。

【0021】

【作用】解読部32はCPU31からの制御信号等を解説してその解説結果に基づいてバス獲得を依頼するバス・リクエスト信号とバス・アクセスが通常バス・アクセスか割込みバス・アクセスかを判別するバス・アクセス判別信号とを生成する。バス調停部33は、解読部32からバス・リクエスト信号を受信すると、バス36に対してバス獲得のためのバス調停をプライオリティ・ビットを適宜行使しつつ実行する。

【0022】その際、割込みバス・アクセス管理部34はバス・アクセス判別信号が割込みバス・アクセスを示すものであれば、割込みバス・アクセス用プライオリティ・ビットを、例えば割込みバス・アクセスによるバス獲得が失敗したときにセットし、成功したときにリセットする。

【0023】同様に、通常バス・アクセス管理部35はバス・アクセス判別信号が通常バス・アクセスを示すものであれば、通常バスアクセス用プライオリティ・ビットを、例えば通常バス・アクセスによるバス獲得が失敗したときにセットし、成功したときにリセットする。

【0024】このようにすることで、バス獲得のための機会を均等化するためのプライオリティ・ビットの管理を、スレーブポートからの割込み要求に対する割込みバス・アクセスに際して行使する割込みプライオリティ・ビットと、通常のバス・アクセスに際して行使する通常プライオリティ・ビットとに分けて別々に行うことができ、これによりスレーブポートからの割込み要求に対しての各プロセッサのバス獲得の機会を通常バス・アクセスの有無にかかわらず均等的に分散させることができ、各プロセッサに加わる負荷が均等的に分散される。

【0025】また、割込みバス・アクセス管理部34が、割込みバス・アクセスに対してバス36からACK信号を受信したことを条件にして割込みバス・アクセス用プライオリティ・ビットをリセットするように構成すれば、ソフトウェア走行状態の相違等によって割込み要求に対してのバス調停部の起動が他のプロセッサよりも遅れた場合でも、当該プロセッサが割込み処理を実行しないと割込みバス・アクセス用プライオリティ・ビット

6

がリセットされないので、割込み分散が一層厳密に実現される。

【0026】また割込みバス・アクセス管理部34が、比較部の比較結果が一致したことを条件にして割込みバス・アクセス用プライオリティ・ビットをリセットするように構成することによっても、ソフトウェア走行状態の相違等によって割込み要求に対してのバス調停部の起動が他のプロセッサよりも遅れた場合でも、他のプロセッサに割込み処理が渡されてバス上の割込み信号がOFFとなっているときには、割込みバス・アクセス用プライオリティ・ビットがリセットされないので、割込み分散が一層厳密に実現される。

【0027】

【実施例】以下、図面を参照して本発明の実施例を説明する。図2には、本発明の一実施例としての割込み完全分散形のバス調停回路が示される。図2において、1はCPU（中央処理装置）である。このCPU1は共通バス20上の信号を監視しており、I/Oボード等から割込み要求に対して割込みベクター獲得のための処理の指示等を行う。

【0028】2はデコーダであり、このデコーダ2はCPU1からのアドレスや制御信号に基づいて後述の共通バス調停部に対して共通バス獲得を依頼するBR（Bus Request）信号を発生したり、その共通バス・アクセスが通常のバス・アクセスか割込みに基づく割込みバス・アクセスかを判別する信号を発生する。

【0029】3は共通バス調停部であり、この共通バス調停部3はデコーダ2からBR信号を受けると共通バス20に対して自パネルIDとAC信号を送出して共通バス獲得の調停を実行する回路である。その際、プライオリティ信号（NP信号またはIP信号）が入力されている場合には、自パネルIDにプライオリティビットをセットするよう動作する。また共通バス上のIDを常に監視していて、共通バス上のIDが自パネルIDと一致すればWIN信号を、またそれが自パネル番号よりも大きければ>ID信号をそれぞれ出力する。またバス獲得に成功したときにはBG（bus Grant）信号を、失敗したときにはLOSE信号をそれぞれ出力する。

【0030】4は通常バス・アクセス用のプライオリティ・ビットNPを管理するためのフリップフロップ、5は割込みアクセス用のプライオリティ・ビットIPを管理するためのフリップフロップである。また6～14はANDゲート、15と16はORゲートである。

【0031】ここで、通常バス・アクセス信号および>ID信号が入力されるANDゲート6の出力信号はフリップフロップ4のセット端子Sへ、また通常バス・アクセス信号およびWIN信号が入力されるANDゲート7の出力信号はフリップフロップ4のリセット端子Rへそれぞれ入力され、通常バス・アクセス信号およびフリップフロップ4の出力信号Qが入力されるANDゲート8

7

の出力信号は通常バス・アクセス用プライオリティ・ビットNPとしてORゲート15を介して共通バス調停部3に入力される。

【0032】また、割込みバス・アクセス信号および>ID信号が入力されるANDゲート9の出力信号はフリップフロップ5のセット端子Sへ、また割込みバス・アクセス信号およびWIN信号が入力されるANDゲート10の出力信号はフリップフロップ5のリセット端子Rへそれぞれ入力され、割込みバス・アクセス信号およびフリップフロップ5の出力信号Qが入力されるANDゲート11の出力信号は割込みバス・アクセス用プライオリティ・ビットIPとしてORゲート15を介して共通バス調停部3に入力される。

【0033】また共通バス20からのBERR（バス・エラー）信号および共通バス調停部3からのBG信号が入力されるANDゲート13の出力信号はORゲート16を介してCPU1のBERR端子に入力され、共通バス20からのACK信号および共通バス調停部3からのBG信号が入力されるANDゲート12の出力信号はCPU1のACK端子に入力される。さらに割込みバス・アクセス信号および共通バス調停部3からのLOSE信号が入力されるANDゲート14の出力信号はORゲート16を介してCPU1のBERR端子に入力される。

【0034】この実施例回路の動作を以下に説明する。デコーダ2はCPU1から出力されるアドレスやファンクションコード等の制御信号をデコードし、それが共通バス・アクセス要求であると解釈した場合には、共通バス調停部3に対してBR信号を送出して当該共通バス調停部3による共通バス調停を起動する。同時に、デコーダ2はその共通バス・アクセス要求が通常バス・アクセスなのか割込みバス・アクセスなのかを判定し、判定結果に応じて該当する側の信号線をアクティブにする。

【0035】これにより、バス調停を行う場合に、プライオリティ・ビットを使用するときには、そのアクセスの種類に応じてNPまたはIPの何れかが選択されて使用されることになる。この動作を例えばそのアクセスが割込みバス・アクセスであるものとして以下に説明する。

【0036】いま割込みバス・アクセスがあり、共通バス調停部3がバス調停を起動したが、共通バス上のIDが自パネルIDと不一致であるので、現時点でのバス獲得を断念したものとする。この場合、共通バス調停部3からは>ID信号が出力される。この結果、ANDゲート9からセット信号が出力されてフリップフロップ5に割込みバス・アクセス用のプライオリティ・ビットとして“1”がセットされる。この結果、ANDゲート11に割込みバス・アクセス信号が入力されると、同ANDゲート11が開かれて、フリップフロップ5の割込みバス・アクセス用プライオリティ・ビットIPがORゲート15を介して共通バス調停部3に入力することが可能

8

になる。

【0037】次回の共通バス・アクセスも割込みバス・アクセスであった場合、割込みバス・アクセス信号によりANDゲート11が開かれた状態になり、フリップフロップ5からプライオリティ・ビットIPが共通バス調停部3に入力され、よって共通バス調停部3は自パネルIDにプライオリティ・ビットをセットしてバス調停を起動する。このようにプライオリティが高い自パネルIDを使用するので、共通バスを獲得できる可能性が高くなる。

【0038】共通バスの獲得に成功した場合、共通バス調停部3からはWIN信号とBG信号が出力される。このWIN信号によりANDゲート10が開かれて割込みバス・アクセス信号がフリップフロップ5のリセット端子Rに入力され、それに保持されていた割込みバス・アクセス用プライオリティ・ビットIPをリセットする。したがってANDゲート11からの割込みバス・アクセス用プライオリティ・ビットIPは送出停止され、共通バス調停部3はプライオリティ・ビットのセットを解除する。

【0039】一方、上述した次回の共通バス・アクセスが通常バス・アクセスであった場合、上述同様な動作が通常バス・アクセス用のフリップフロップ4側で行われ、その時点でのフリップフロップ4の保持内容に応じて通常バス・アクセス用プライオリティ・ビットNPが送出または送出停止される。この場合、割込みバス・アクセス信号は出力されていないので、ANDゲート9、10は閉じられた状態にあり、よってフリップフロップ5に割込みバス・アクセス用プライオリティ・ビットIPがセットされている場合でも、通常バス・アクセスに対して生成されたWIN信号によってそれがリセットされることはない。

【0040】よって、例えば次回の共通バス・アクセスが割込みバス・アクセスであった場合には、割込みバス・アクセス信号の入力によりプライオリティ・ビットIPが共通バス調停部3に入力されるので、共通バス調停部3はプライオリティ・ビットをセットしてバス調停を起動することができる。

【0041】このように、本実施例回路によれば、共通バス調停部3は、割込みバス・アクセスに対するバス獲得動作毎にプライオリティ・ビットのセット・リセットを交互に繰り返すことができるので、割込み処理に関する各プロセッサの負荷を均等的に分散することができる。

【0042】なお、バス獲得に成功してスレーブのI/O等のスレーブポート等とアクセスし、I/Oボード等が正しい割込みベクターを渡した場合、当該I/Oポート等からACK信号が共通バス20を介して返送されるが、このACK信号はANDゲート12を介してCPU1に入力される。

9

【0043】また、バス獲得に失敗した場合、共通バス調停部3でLOSE信号が生成され、このLOSE信号がANDゲート14、ORゲート16を介してCPU1に入力されることによってスプリアス割込みベクターが生成されて割込みベクター獲得のアクセスを終了させる。

【0044】図3は上述の実施例回路の動作フローを示したものである。この図3に従って実施例回路の動作を説明すると、共通バス使用要求が発生した場合、それが通常のバス・アクセスであれば、従来と同じ動作フロー(図7)を通してバス調停を行う。その結果、共通バスが獲得できなかった場合には、自パネルIDが共通バス上のIDよりも小さいときには、通常バス・アクセス用のプライオリティ・ビットNPをセットし、次回において通常バス・アクセスで調停動作を行う必要がある場合には、このプライオリティ・ビットNPを行使する。

【0045】また、共通バス使用要求が割込みベクター獲得アクセスであった場合には、従来と同じ動作フロー(図7)を通して調停を行う。その結果、共通バスが獲得できなかった場合、自パネルIDが共通バス上のIDよりも小さいときには、割込み用のプライオリティ・ビットIPをセットし、この現時点の割込みベクター獲得アクセスはスプリアス割込みベクターを与えることにより終了させ、次回の割込みが発生して割込みベクター獲得アクセスが生じた場合には、この割込み処理用プライオリティ・ビットIPを行使する。

【0046】これにより、ソフトウェアの走行状態等とは関係なく通常バス・アクセスと割込みベクター獲得アクセスのバス使用はそれぞれ別個に各プロセッサに均等的に与えられるので、各プロセッサの負荷は均等的になる。

【0047】図4には本発明の他の実施例としてのバス調停回路が示される。図4において、この実施例回路の大略構成は前述の図3の実施例回路とほぼ同じであり、図2と同じ機能の回路には同じ参照番号が付されている。相違点として、フリップフロップ5側のANDゲート10の入力として共通バス調停部3からのWIN信号の代わりに共通バス20からのACK信号がANDゲート12を介して入力されるようになっている。

【0048】このような構成としたのは以下に理由による。個々のプロセッサはその走行状態等により割込み要求に対して割込みバス・アクセスの起動を行うまでの時間がそれぞれ相違する。このため、割込みバス・アクセスの起動がソフトウェアの走行状態により他のプロセッサにより遅れて起動された場合、割込み元のスレーブのI/Oボードは既に他のプロセッサに割込みベクターを通知し、割込みをOFFにしている可能性がある。このような場合、I/OポートからBERR信号等がプロセッサに返されてスプリアス割込みが与えられて割込みバス・アクセスは処理終了とされる。

10

【0049】しかし、それに到るまでに、当該プロセッサが他プロセッサよりも遅れて自パネルIDを送出すると、競合する他パネルIDがないため、共通バス20上のIDは自パネルIDと一致し、したがって共通バス調停部3からはWIN信号が出力され、割込み処理を実行していないにもかかわらず、割込みバス・アクセス用のフリップフロップ5がリセットされる可能性がある。したがって、割込み分散の厳密性を一層期す場合には、上述のような場合にはプライオリティ・ビットIPをOFFにすべきではないので、スレーブのI/Oボードが正しいベクターを渡したときに送出するACK信号をANDゲート12を介してANDゲート10に入力することでANDゲート10を開閉して、フリップフロップ5をリセットするようにしている。これにより、自プロセッサが割込みベクター獲得アクセスに成功し、かつI/OポートからACK信号が返送されたときに限りフリップフロップ5がリセットされることになる。

【0050】図5には本発明のまた他の実施例としてのバス調停回路が示される。この実施例も前述の図4の実施例と同様に、割込み分散の厳密性を一層期すようにしたものである。

【0051】この実施例回路を図3の実施例回路と比較すると、割込みレベルデコーダ19とANDゲート17、18を備え、ANDゲート18にはWIN信号とANDゲート17の出力信号が入力され、ANDゲート10への入力としてWIN信号の代わりにANDゲート18の出力信号が用いられていることが相違する。ここで割込みレベルデコーダ18はCPU1のアドレスや制御信号に基づいてCPUの割込み応答レベルを解読する回路であり、ANDゲート17は割込みレベルデコーダ18で解読された割込み応答レベルと共通バス上の割込み信号の割込み応答レベルとを比較し一致したときに“1”を出力する回路である。

【0052】このようにすると、割込みバス・アクセス時にCPUの応答割込みレベルが共通バス上でアクティブであるときだけ、プライオリティ・ビットIPを管理するフリップフロップ5にリセット信号が入るようになる。したがって、割込みバス・アクセス時にスレーブのI/Oボードが既に割込みベクターを他のプロセッサに渡して割込み信号をOFFにしていた場合には、ANDゲート17での比較結果は不一致となるので、ANDゲート18、10は閉じられ、フリップフロップ5のプライオリティ・ビットIPはリセットされない。

【0053】

【発明の効果】以上に説明したように、本発明によれば、ソフトウェアの走行状態等によらず、通常バス・アクセスと割込みバス・アクセスに対してそれぞれ独立にバス使用の均等性が保証されるので、マルチプロセッサ構成システムにおける各プロセッサに加わる負荷が均等的に分散される。

【図面の簡単な説明】

【図1】 本発明に係る原理説明図である。

【図2】 本発明の一実施例としてのバス調停回路を示す図である。

【図3】 実施例回路の動作フローを示した図である。

【図4】 本発明の他の実施例としてのバス調停回路を示す図である。

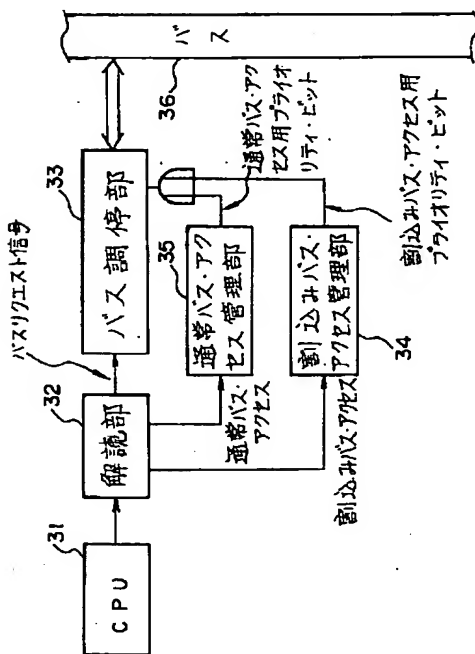
【図5】 本発明のまた他の実施例としてのバス調停回路を示す図である。

【図6】 マルチプロセッサ構成システムを示す図である。

【図7】 従来のバス調停回路の動作フローを示した図で*

【図1】

本発明に係る原理説明図



*ある。

【符号の説明】

1 CPU (中央処理装置)

2 デコーダ

3 共通バス調停部

4 通常バス・アクセス用プライオリティ・ビットを管理するフリップフロップ

5 割込みバス・アクセス用プライオリティ・ビットを管理するフリップフロップ

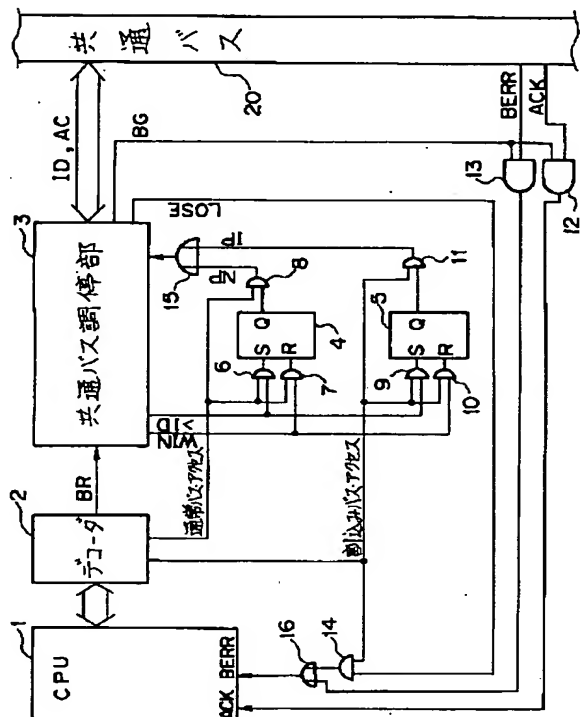
6~14, 17 ANDゲート

15, 16 ORゲート

20 共通バス

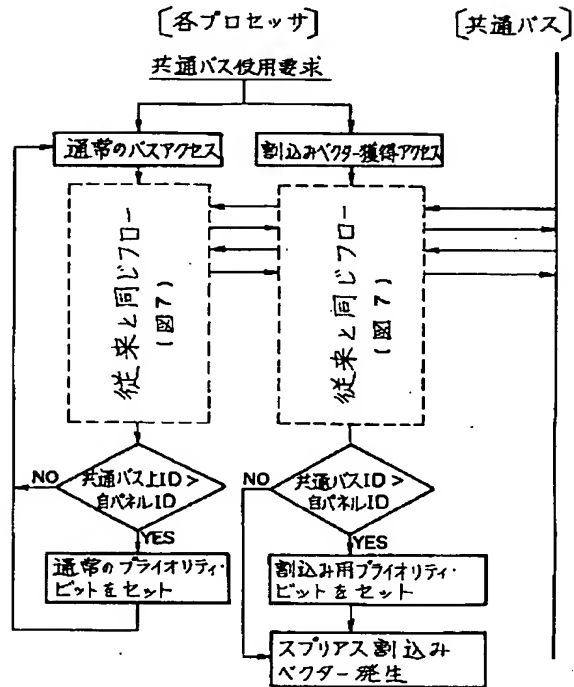
【図2】

本発明の実施例



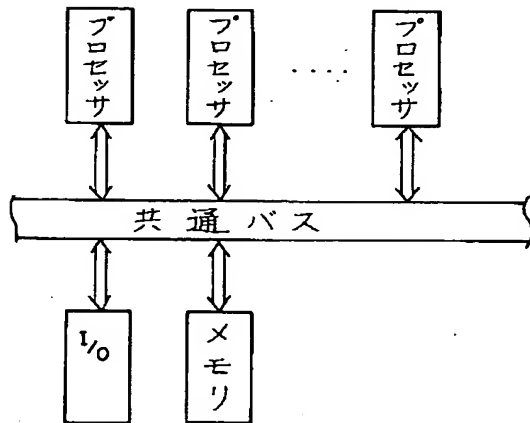
【図3】

実施例回路の動作フロー



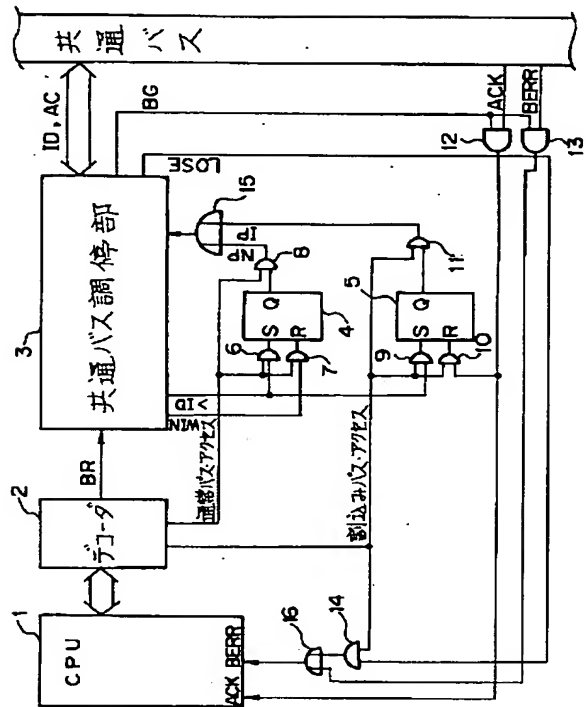
【図6】

マルチプロセッサ構成システムの例



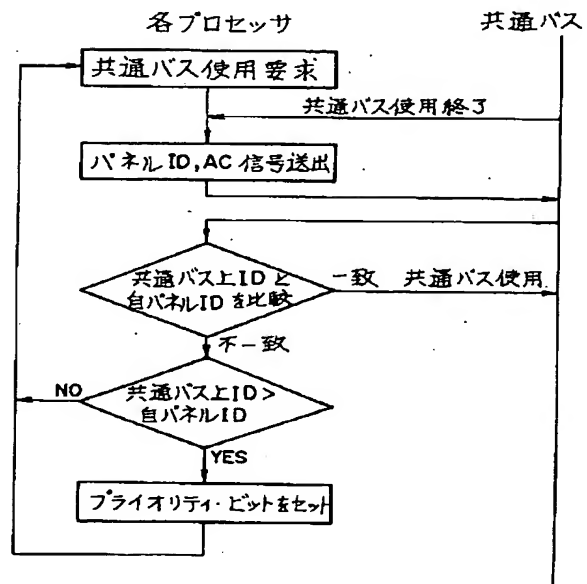
【図4】

本発明の他の実施例



【図7】

従来例回路の動作フロー



本発明のまた他の実施例

